



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06349692 A**(43) Date of publication of application: **22.12.94**

(51) Int. Cl.

H01L 21/02(21) Application number: **05137680**(22) Date of filing: **08.06.93**(71) Applicant: **HITACHI LTD**

(72) Inventor: **TSUCHIYA TOMONOBU**
KONO TOSHIHIRO
KOMORI MASAOKI
OKUNO YAE

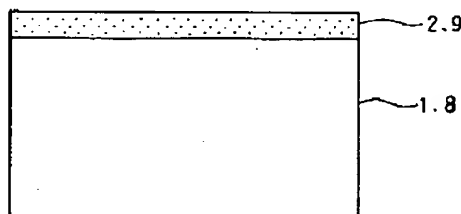
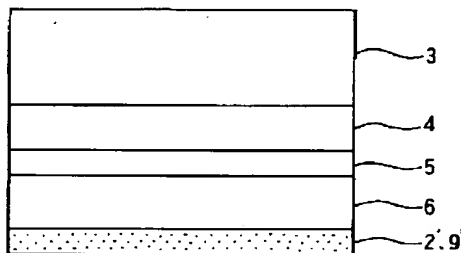
(54) **SEMICONDUCTOR DEVICE AND ITS MANUFACTURE**

COPYRIGHT: (C)1994,JPO

(57) Abstract:

PURPOSE: To provide such a semiconductor device that a second semiconductor substrate having a lattice constant which is different from that of a first semiconductor substrate is provided on the first substrate and the adhesive interfaces of the device has strong joining strengths, and then, the occurrence of defects and the trap density are suppressed at the adhesive interfaces.

CONSTITUTION: In the title device $n\text{-In}_{0.65}\text{Ga}_{0.35}\text{As}_{0.25}\text{P}_{0.75}$ layers 2 and 2' are provided as adhesive layers between an n-GaAs substrate 1 which is formed as first semiconductor substrate and p-InP substrate 3 which is formed as a second semiconductor substrate. The adhesive layers 2 and 2' are formed by using the same kind of material as that of either one of the semiconductor substrates 1 and 3 or such a material that has the same lattice constant as either one of the substrates 1 and 3 has or an intermediate lattice constant between the lattice constants of the substrates 1 and 3.



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 6 - 3 4 9 6 9 2

(43) 公開日 平成 6 年 (1994) 12 月 22 日

(51) Int. Cl. ⁵

H 0 1 L 21/02

識別記号

B

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 9

O L

(全 5 頁)

(21) 出願番号 特願平 5-137680

(22) 出願日 平成 5 年 (1993) 6 月 8 日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72) 発明者 土屋 朋信

東京都国分寺市東恋ヶ窪 1 丁目 280 番地 株

式会社日立製作所中央研究所内

(72) 発明者 河野 敏弘

東京都国分寺市東恋ヶ窪 1 丁目 280 番地 株

式会社日立製作所中央研究所内

(72) 発明者 古森 正明

東京都国分寺市東恋ヶ窪 1 丁目 280 番地 株

式会社日立製作所中央研究所内

(74) 代理人 弁理士 薄田 利幸

最終頁に続く

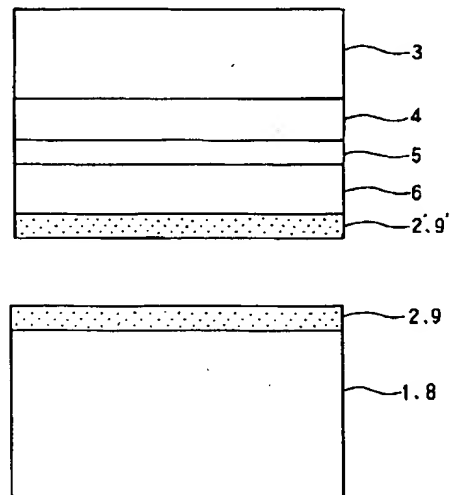
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 第 1 の半導体基板上に、これと異なる格子定数を持つ第 2 の半導体基板を設けた構造を有し、接着界面が強固な接着力を持ち、接着界面での欠陥やトラップ密度が抑制された半導体装置を提供すること。

【構成】 第 1 の半導体基板である $n\text{-GaAs}$ 基板 1 と、これと異なる格子定数を持つ第 2 の半導体基板である $p\text{-InP}$ 基板 3 との間に、接着層として、 $n\text{-In}_{0.65}\text{Ga}_{0.35}\text{As}_{0.25}\text{P}_{0.75}$ 層 2、2' を設けた半導体装置。この接着層は、いずれか一方の半導体基板と同じ種類の材料よりなるものか、いずれか一方の半導体基板と同じ格子定数を持つものか又は両方の半導体基板の格子定数の中間の値の格子定数を持つものを用いる。

図 1



- 1..... $n\text{-GaAs}$ 基板
- 2, 2'... $n\text{-In}_{0.65}\text{Ga}_{0.35}\text{As}_{0.25}\text{P}_{0.75}$ 層
- 3..... $p\text{-InP}$ 基板
- 8..... $n\text{-Si}$ 基板
- 9, 9'... $n\text{-GaAs}$ 基板

【特許請求の範囲】

【請求項 1】第 1 の半導体基板、該第 1 の半導体基板と異なる格子定数を持つ第 2 の半導体基板及び第 1 の半導体基板と第 2 の半導体基板の間に接着層として設けられた、いずれか一方の半導体基板と同じ種類の材料よりなる成長層を有し、少なくとも第 2 の半導体基板に半導体素子が設けられたことを特徴とする半導体装置。

【請求項 2】第 1 の半導体基板、該第 1 の半導体基板と異なる格子定数を持つ第 2 の半導体基板及び第 1 の半導体基板と第 2 の半導体基板の間に接着層として設けられた、いずれか一方の半導体基板と同じ格子定数を持つか又は両方の半導体基板の格子定数の中間の値の格子定数を持つ成長層を有し、少なくとも第 2 の半導体基板に半導体素子が設けられたことを特徴とする半導体装置。

【請求項 3】請求項 1 又は 2 記載の半導体装置において、上記接着層は、直接接しているいずれか一方の半導体基板に対し、臨界膜厚以下の膜厚であることを特徴とする半導体装置。

【請求項 4】請求項 1 から 3 のいずれか一に記載の半導体装置において、上記接着層は、化合物半導体であることを特徴とする半導体装置。

【請求項 5】第 1 の半導体基板及び該第 1 の半導体基板と異なる格子定数を持つ第 2 の半導体基板の少なくとも一方の半導体基板の上に、他方の半導体基板と同じ種類の材料よりなる接着層を成長させる第 1 の工程及び該接着層を内側にして、2 つの半導体基板を合わせ、加熱して接着する第 2 の工程を有することを特徴とする半導体装置の製造方法。

【請求項 6】請求項 5 記載の半導体装置の製造方法において、上記第 1 の工程は、上記他方の半導体基板の上に、上記一方の半導体基板と同じ種類の材料よりなる第 2 の接着層を成長させる工程を含むことを特徴とする半導体装置の製造方法。

【請求項 7】第 1 の半導体基板及び該第 1 の半導体基板と異なる格子定数を持つ第 2 の半導体基板の少なくとも一方の半導体基板の上に、他方の半導体基板と同じ格子定数を持つか又は両方の半導体基板の格子定数の中間の値の格子定数を持つ接着層を成長させる第 1 の工程及び該接着層を内側にして、2 つの半導体基板を合わせ、加熱して接着する第 2 の工程を有することを特徴とする半導体装置の製造方法。

【請求項 8】請求項 7 記載の半導体装置の製造方法において、上記第 1 の工程は、上記他方の半導体基板の上に、上記一方の半導体基板と同じ格子定数を持つか又は両方の半導体基板の格子定数の中間の値の格子定数を持つ第 2 の接着層を成長させる工程を含むことを特徴とする半導体装置の製造方法。

【請求項 9】請求項 5 から 8 のいずれか一に記載の半導体装置の製造方法において、上記接着層及び第 2 の接着層の膜厚は、いずれも臨界膜厚以下の膜厚であることを

特徴とする半導体装置の製造方法。

【発明の詳細な説明】**【0001】**

【産業上の利用分野】本発明は、異なる材質の半導体基板を有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】異種半導体の集積化方法、つまり Si、GaAs、InP 等の半導体単結晶材料を一つの基板上に集積化する方法としては、従来、特開平 4-296075 に記載のように、半導体基板上に単層の歪薄膜を設け、転位を低減して、格子定数の異なる他の半導体層を結晶成長させる方法が主であったが、最近では、直接接着と呼ばれる方法が研究されている。この方法は、複数の基板を表面処理による活性化により、熱処理のみで接着させる方法である。この方法では、従来の結晶成長で問題となっていた欠陥や転位の発生を界面近傍にのみ局在化することができる。なお、この種の技術に関連するものとしては、GaAs 基板と InP 基板との直接接着等を記載した特開昭 61-182215 やオプトニュース (1993) No. 1、p p 19 等が挙げられる。

【0003】

【発明が解決しようとする課題】上記後者の従来技術は、接合面での結晶性、特に接着面がヘテロ接合になることから欠陥やトラップ密度の増加、接合面での接着力の強さ等に問題があった。この問題を解決するには、接着時での温度を上げることにより、界面での結晶化を促進するのが有効である。しかし、上記方法では高温化に伴い、異なる半導体層の構成原子が界面で相互拡散し、界面付近に歪層等を発生しやすい。

【0004】本発明の目的は、第 1 の半導体基板上に、これと異なる格子定数を持ち、かつ、半導体素子が設けられた第 2 の半導体基板を設けた構造であって、接着界面が強固な接着力を持ち、接着界面での欠陥やトラップ密度が抑制された半導体装置を提供することにある。本発明の他の目的は、このような半導体装置の製造方法を提供することにある。

【0005】

【課題を解決するための手段】上記目的を達成するために、本発明の半導体装置は、第 1 の半導体基板と、これと異なる格子定数を持つ第 2 の半導体基板と、第 1 の半導体基板と第 2 の半導体基板の間に接着層として設けられた、いずれか一方の半導体基板と同じ種類の材料よりなる成長層より構成され、少なくとも第 2 の半導体基板に半導体素子を設けたものである。

【0006】ここに同じ種類の材料とは、組成比は異なるが同じ元素からなるもの、組成比が異なると共に、元素の内の一部のものは含まないもの等をいう。例えば、InGaAsP という四元の化合物半導体は、それぞれがどのような比率であっても同じ種類の材料であるものとする。さらに InGaAsP に対して、そのう

ちのある元素、例えばPの比率がゼロであるInGaAsも、InとPの比率がゼロであるGaAsもすべて同じ種類の材料であるものとする。

【0007】さらに上記目的を達成するために、本発明の半導体装置は、第1の半導体基板と、これと異なる格子定数を持つ第2の半導体基板と、第1の半導体基板と第2の半導体基板の間に接着層として設けられた、いずれか一方の半導体基板と同じ格子定数を持つか又は両方の半導体基板の格子定数の中間の値の格子定数を持つ成長層より構成され、少なくとも第2の半導体基板に半導体素子を設けたものである。

【0008】いずれの半導体装置においても、接着層は、直接接しているいずれか一方の半導体基板に対し、臨界膜厚以下の膜厚であり、単原子層以上の厚さであることが好ましい。二つの半導体基板のどちらにも接しているときは、所望の一方の半導体基板に対し、臨界膜厚以下の膜厚であればよい。また、この接着層は、化合物半導体であることが好ましい。臨界膜厚についての詳しい説明は、ジャーナルオブ クリスタル グロース、第27巻 第118頁(1974)(J. of Crystal Growth, 27(1974) pp118)に記載されている。

【0009】さらに、上記他の目的を達成するために、本発明の半導体装置の製造方法は、第1の半導体基板と、これと異なる格子定数を持つ第2の半導体基板との少なくとも一方の半導体基板の上に、他方の半導体基板と同じ種類の接着層を成長させ、接着層を内側にして、2つの半導体基板を合わせ、加熱して接着するようにしたものである。このとき、他方の半導体基板の上にも、上記一方の半導体基板と同じ種類の第2の接着層を成長させて、接着することもできる。

【0010】またさらに、上記他の目的を達成するために、本発明の半導体装置の製造方法は、第1の半導体基板と、これと異なる格子定数を持つ第2の半導体基板の少なくとも一方の半導体基板の上に、他方の半導体基板と同じ格子定数を持つか又は両方の半導体基板の格子定数の中間の値の格子定数を持つ接着層を成長させ、接着層を内側にして、2つの半導体基板を合わせ、加熱して接着するようにしたものである。このとき、他方の半導体基板の上にも、上記一方の半導体基板と同じ格子定数を持つか又は両方の半導体基板の格子定数の中間の値の格子定数を持つ第2の接着層を成長させて、接着することもできる。

【0011】いずれの半導体装置の製造方法においても、接着層、第2の接着層についての好ましい条件は、上記した通りである。また、加熱するときの好ましい温度範囲は、300℃から1000℃、より好ましい温度範囲は、500℃から700℃である。

【0012】

【作用】本発明の作用を、GaAs基板とInP基板と

を接着する場合を例として説明する。GaAs基板上に接着層としてInGaAsP層を成長させ、次に、InP基板上にも接着層としてInGaAsP層を成長させる。この二つのInGaAsP層を洗浄により活性化した後、熱処理を加え、InGaAsP層を通してInP基板とGaAs基板を直接接着させる。接着層が同じ種類の結晶であることから、接合面での結晶化が進み、接着力が向上する。また、接合がヘテロ界面ではなくなることから、接合面でのトラップ密度や欠陥等も減少する。さらに、界面での相互拡散による歪層の発生等については、同じ種類の結晶を用いていることから、従来とは逆に温度を上げ、界面で原子を混ぜ合わせるにより、結晶化を促進することができる。

【0013】

【実施例】

〈実施例1〉図1を用いて本発明の第1の実施例を説明する。有機金属気相成長法により、n-GaAs基板1上に、接着層としてn-In_{0.65}Ga_{0.35}As_{0.25}P_{0.75}層2(バンドギャップ波長0.89μm、GaAsに対する歪量2%、膜厚4nm)を成長させた。この膜厚は臨界膜厚以下である。一方、p-InP基板3上に、厚さ1.5μmのp-InPバッファ層4、多重量子井戸(以下、MQWと記載する)活性層5、厚さ0.4μmのn-InPクラッド層6、接着層である厚さ4nmのn-In_{0.65}Ga_{0.35}As_{0.25}P_{0.75}層2'を順次成長させた。さらに、n-In_{0.65}Ga_{0.35}As_{0.25}P_{0.75}層2とn-In_{0.65}Ga_{0.35}As_{0.25}P_{0.75}層2'の表面をそれぞれ硫酸及びフッ酸系のエッチング液により洗浄し、表面を活性化させた。

【0014】次に、n-GaAs基板1上のn-In_{0.65}Ga_{0.35}As_{0.25}P_{0.75}層2とp-InP基板3上のn-In_{0.65}Ga_{0.35}As_{0.25}P_{0.75}層2'を接触させ、600℃で熱処理を行い接着した。さらに電極(図示せず)を形成し、所定の形状として半導体レーザ装置とした。本実施例では、従来のInPとGaAsの直接接着に比べ接着強度を1.5倍にまで向上できた。また、接合界面での欠陥密度も1/2にまで低減できた。また、作製したレーザ装置の寿命についても、従来装置に比べ1.3倍にまで向上させることができた。

【0015】なお、4元のInGaAsP層についてはn-GaAs基板上の層もp-InP基板上の層も組成の同じものを用いたが、組成の異なるInGaAsP層を用いても良い。例えば、n-GaAs基板上のInGaAsP層をプラス1%歪、p-InP基板上のInGaAsP層をマイナス1%歪の組成にしても同様の効果が得られた。

【0016】〈実施例2〉図2を用いて本発明の第2の実施例を説明する。この実施例は、接着層を一方にのみ設けた例である。有機金属気相成長法により、n-GaAs基板1上に、接着層として、n-InP層7(膜厚

約 2 nm) を成長させた。一方、p-InP 基板 3 上に、それぞれ実施例 1 と同じ厚さの p-InP バッファ層 4、MQW 活性層 5、n-InP クラッド層 6 を順次成長させた。さらに、n-InP 層 7 と p-InP 基板 3 上の n-InP クラッド層 6 を硫酸系及びフッ酸系のエッチング液により洗浄し、表面を活性化させた。

【0017】 n-GaAs 基板 1 上の n-InP 層 7 と p-InP 基板 3 上の n-InP クラッド層 6 とを接触させ、600℃で熱処理を行い接着した。以下、実施例 1 と同様にして半導体レーザ装置とした。本実施例では、InP 層中の In が高温時にマストランスポートにより移動することから、より接着力の強い結合が得られ、接着強度を 2 倍にまで向上できた。また、接合界面での欠陥密度やレーザ素子の寿命についても、実施例 1 と同様の効果が得られた。

【0018】〈実施例 3〉図 1 を用いて本発明の第 3 の実施例を説明する。この実施例は、図 1 に示した実施例 1 と同様の構造で、Si 基板上に GaAs 層を成長させた例である。有機金属気相成長法により n-Si 基板 8 上に n-GaAs 層 9 (膜厚約 2 nm) を成長させた。一方、p-InP 基板 3 上に、実施例 1 とそれぞれ同じ厚さの p-InP バッファ層 4、MQW 活性層 5、n-InP クラッド層 6 を順次成長させ、次に n-GaAs 層 9' (膜厚約 2 nm) を成長させた。n-Si 基板 8 上の n-GaAs 層 9 と p-InP 基板 3 上の n-GaAs 層 9' を硫酸系及びフッ酸系のエッチング液により洗浄し、表面を活性化させた。

【0019】 n-GaAs 層 9 と n-GaAs 層 9' を接触させ、600℃で熱処理を加え、接着した。以下、実施例 1 と同様にして半導体レーザ装置とした。本実施例では、接着層が GaAs 層であること及び格子定数が Si < GaAs < InP の順に大きくなることから、GaAs 層がバッファ層的な役割を果たし、従来の Si と InP の直接接着に比べて欠陥密度を 1/3 程度にまで低減できた。接合界面での接着力やレーザ素子の寿命についても実施例 1 と同様の効果が得られた。

【0020】〈実施例 4〉図 3 を用いて本発明の第 4 の実施例を説明する。この実施例は、半導体レーザ 10、変調器 11 等の素子が形成された p-InP 基板 3 を予め各素子の駆動回路 12 (電界効果トランジスタ) の形成された n-Si 基板 8 に、直接接着により接着し、集積化を図った例である。p-InP 基板 3 上に、それぞれ有機金属気相成長法により多層構造を成長させ、酸化膜を形成し、選択エッチング等を行ってメサ構造とし、n 型電極 14 を形成して各素子を製造した。ついで、研磨、エッチング、洗浄により p-InP 基板 3 の薄膜化 (50 μm 厚) 及び活性化を行った。n-Si 基板 8 は、酸化膜の形成及び選択エッチングにより、各 p-InP

nP 基板 3 と接着する部分以外に酸化膜を形成した。

【0021】次に、有機金属気相成長法により n-Si 基板 8 の各 p-InP 基板 3 と接着する部分にのみ p-InP 層 15 を成長させ、前記実施例と同様の洗浄により、p-InP 層 15 を活性化させた。薄膜化された各 p-InP 基板 3 の裏面側と n-Si 基板 8 上の p-InP 層 15 とを 600℃の密着により接着させた。各素子の n 型電極 14 と n-Si 基板 8 上の駆動回路 12 をワイヤーボンディング 16 により接続し、集積化を図った。本実施例では、この直接接着により集積化を容易にし、従来より集積度を 3 倍にまで向上できた。また、接着強度、寿命等については、前記実施例とほぼ同様の効果が得られた。

【0022】なお、以上の実施例では、エッチングは硫酸とフッ酸を用いて行ったが塩酸系のエッチング液を用いてもよい。また、各半導体層の作製方法には有機金属気相成長法を用いているが、分子線エピタキシ法やその他の気相成長法を用いてもよい。また、p-InP 基板に変えて、n-InP 基板を用い、接着層として、p-InGaAsP 層又は p-InP 層を用いてもよい。

【0023】

【発明の効果】以上述べたように、本発明によれば、半導体基板上に、これと異なる格子定数を持つ第 2 の半導体基板が直接接着により形成された構造を有し、そのため接着界面が強固な接着力を持ち、接着界面での欠陥やトラップ密度が抑制されるという効果を有する。

【図面の簡単な説明】

【図 1】本発明の実施例 1 及び実施例 3 の半導体装置の断面構造図。

【図 2】本発明の実施例 2 の半導体装置の断面構造図。

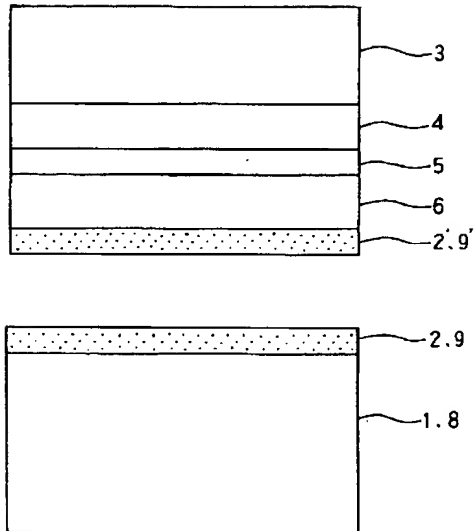
【図 3】本発明の実施例 4 の半導体装置の断面構造図。

【符号の説明】

- 1...n-GaAs 基板
- 2、2'...n-In_{0.65}Ga_{0.35}As_{0.25}P_{0.75}層
- 3...p-InP 基板
- 4...p-InP バッファ層
- 5...MQW 活性層
- 6...n-InP クラッド層
- 7...n-InP 層
- 8...n-Si 基板
- 9、9'...n-GaAs 層
- 10...半導体レーザ
- 11...変調器
- 12...駆動回路
- 14...n 型電極
- 15...p-InP 層
- 16...ワイヤーボンディング

【図1】

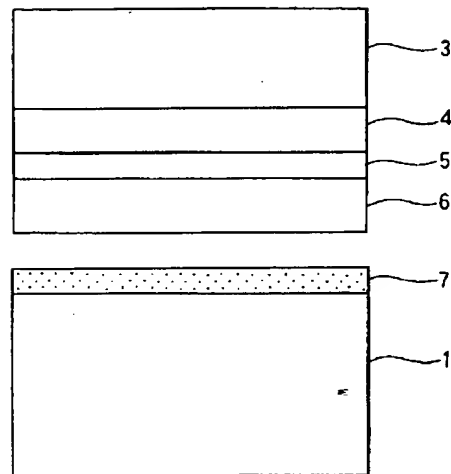
図1



- 1-----n-GaAs 基板
 2.2'---n-In_{0.65}Ga_{0.35}As_{0.25}P_{0.75}層
 3-----p-InP 基板
 8-----n-Si 基板
 9.9'---n-GaAs 基板

【図2】

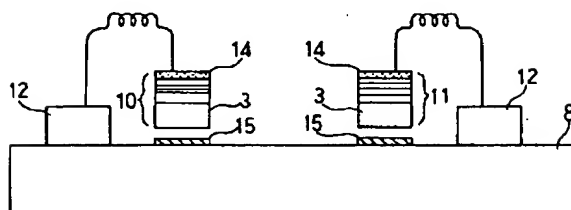
図2



- 1---n-GaAs 基板
 3---p-InP 基板
 6---n-InP クラッド層
 7---n-InP 層

【図3】

図3



- 3---p-InP 基板
 8---n-Si 基板
 10---半導体レーザ
 11---変調器
 12---駆動回路
 15---p-InP層

フロントページの続き

(72)発明者 奥野 八重
 東京都国分寺市東恋ヶ窪1丁目280番地
 株式会社日立製作所中央研究所内